

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-269172

(43)Date of publication of application : 09.10.1998

(51)Int.Cl. G06F 13/362

(21)Application number : 09-259451

(71)Applicant : KOREA ELECTRON TELECOMMUN

(22)Date of filing : 12.08.1997

(72)Inventor : PAKU YUN OKU
KIM YON YON
IMU KI UKU

(30)Priority

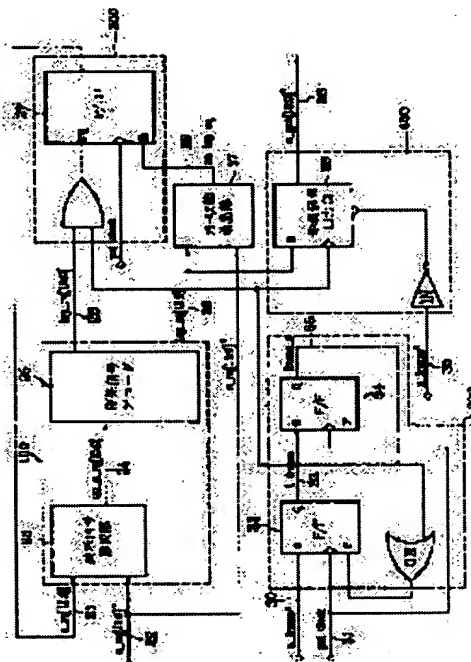
Priority number : 96 9670172 Priority date : 23.12.1996 Priority country : KR

(54) BUS ARBITER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to support many master devices on a PCI bus, by using a one-shot signal based upon a frame signal and outputting an arbitration signal at the same as the end of the operation of a module in use with top priority.

SOLUTION: A decoding part 100 receives a signal 22 of a module having requested service and searches a priority decoder 25 for the module with top priority among requesting modules. At this time, a one-shot generation part 200 generates the one-shot signal 33 by using the frame signal 30. A signal storage part 300 stores the module with the top priority according to the signal 33 and feeds it back as a signal 21 for selecting a next requesting module. An arbitration signal output part 400 uses the one-shot signal 33 based upon the frame signal 30 to output a bus arbitration signal 38 for starting use to the module with top priority at the same time as the operation end of the module in use.



LEGAL STATUS

[Date of request for examination] 12.08.1997

[Date of sending the examiner's decision of rejection] 07.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

【特許請求の範囲】

【請求項1】 PCI バスの使用サービスを要請したモジュールの要求信号 $n_rq[15:0]$ を受け入れ、既にサービス受けたモジュールの要求信号 $s_rq[15:0]$ との組合せにより現在サービスを受けていないモジュールの要求信号のみを選択し、選択されたモジュールの要求信号の中の優先順位が一番高いモジュールの要求信号を探し出し出力する要求信号デコーディング手段と、

バスの使用承諾を取得したモジュールの動作開始信号であるフレーム信号 n_frame をPCI クロックに同期させ、ワンショット信号 1_frame を生じ、このワンショット信号を、上記PCI クロックによってラッチさせ、ラッチされたフレームパルス $frame_s$ により、上記ワンショット信号 1_frame をリセットさせるワンショット信号の発生手段と、

上記ワンショット信号 1_frame に上記要求信号デコーディング手段の最優先順位の要求信号 $top_rq[15:0]$ を同期させてレジスタにラッチさせ、そのラッチされた優先順位の要求信号を、上記既にサービス受けたモジュールの要求信号 $s_rq[15:0]$ としてフィードバックさせ、上記最優先順位の要求信号 $top_rq[15:0]$ と前記サービスを要請したモジュールの要求信号 $n_rq[15:0]$ とを組合せ、サービスの中のモジュールの無いフリーの状態である時、前記レジスタをリセットさせ、新たなサービスの要求を受け入れる準備をするサービス中の要求信号貯蔵部と、前記最優先順位の要求信号 $top_rq[15:0]$ を、前記 1_frame 信号に同期させて入力し、PCI バスの使用承諾を行う仲裁信号 $n_gnt[15:0]$ として出力し、前記フレーム信号 n_frame によりリセットされる仲裁信号出力手段とから構成されたことを特徴とするバスアビータ回路。

【請求項2】 前記要求信号デコーディング手段は、PCI バスの使用サービスを要請したモジュールの要求信号 $n_rq[15:0]$ と前記サービス中の要求信号貯蔵部から出力される既にサービス受けたモジュールの要求信号 $s_rq[15:0]$ とを各ビット別に論理和させ、バス使用を要求しているモジュール中の現在サービスを受けていないモジュールのみを探し出す要求信号の選択部と、前記要求信号の選択部から論理和され出力されるサービスしていない要求信号 $un_s_rq[15:0]$ を受け入れ、バスの使用を要求した順序及び既に決められた優先順位に基づいて、優先順位が一番高い要求信号を探し出し、最優先順位の要求信号のみをセッティングさせ出力する優先順位デコーダから構成されることを特徴とする請求項1記載のバスアビータ回路。

【請求項3】 前記ワンショット信号の発生手段は、PCI バスの使用許可を取得したモジュールの動作開始信号である、前記フレーム信号 n_frame をPCI の全体の同期のためのクロック信号 pci_clock に同期させて入力し、 1_frame 信号として出力する第1のフリップフロップと、

その第1のフリップフロップの出力信号 1_frame を、前記クロック信号 pci_clock に同期させてラッチさせる第2のフリップフロップと、

前記第2のフリップフロップの出力信号 $frame_s$ と前記第1のフリップフロップの出力信号 1_frame とを前記第1のフリップフロップのリセット信号として印加させるオアゲートで構成し、一回のクロックで全体の回路の同期化を実現することを特徴とする請求項1記載のバスアビータ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、周辺素子連結（Peripheral Component Interconnect：以下、PCIという）用のバスアビータ回路に係り、特にPCIバス上のモジュール等によって高速の動作が可能であるようにすると共に最少の回路として1段の同期回路を用い同期クロックを同期させ、多くのPCIバス上のマスターデバイスを支援することができるようにした周辺素子連結（PCI）用のバスアビータ回路に関するものである。

【0002】

【従来の技術】PCIバスをPCではない制御機等において用いる場合、制御機内には相当数のPCIマスターデバイスが存在することになり、かつ、高速の動作を要求する場合が多い。既存の方式は、少数のマスターデバイスを有する機器の構成に適合し、これを大規模のマスターデバイスを有する制御機内では構成方式が2、3段の同期クロックを用いるため、公平性付与の正確性等において動作が遅くなっていた。従って、多くのマスターデバイスを有する制御機等に構成されるバスアビータは、回路の複雑性が少なく、高速動作が可能で、多数個のマスターデバイスに公平性（fairness）及び優先順位を同時に満たす回路が要求される。

【0003】コンピュータ周辺機器に係る技術とし

て、既にPCIバスは広範囲に用いられており、これに関する多くの技術が発表されている。特に、PCIバスはマスターデバイスとスレーブデバイスに区分され、PCIバス上のモジュールが構成され、マスター機能とスレーブ機能を同時に持つ場合も可能であり、機能が異なるマスターデバイスを一つのモジュール内に多数個有することが出来る構造から成っている。特に、問題となることは、多くのマスターデバイスがバス使用を要求する場合、これを仲裁する回路は使用者が構成するようになっており、回路の構成に応じてバスの効率性が異なることになる。

【0004】既存の方式は、PCで用いる場合を仮定し、

PCI、ISA(Industrial Standard Architecture)、MCA等の複合的なバス構造を支援する回路に対して多数開示されている。特に、バス使用を要求する要請信号を、PCIバスクロックと同期させる回路の場合、多数のラッチを用い回路を複雑にし、かつ応答の速度を遅くしており、

3

多くのマスターデバイスが一つのPCIバス上で動作する制御機等の場合、回路が複雑になる欠点を有しており、効率的な優先順位の付与、及び公平性の付与に問題があった。

【0005】PCIバスを用いようとするマスターデバイス(Master Device)(又はInitiator)は、バスの使用権を得るためバスの使用要求を知らせる信号である、 n_rq 信号をアサート(assert)し、これによる仲裁結果によって使用承諾である n_gnt 信号を受け使用権を取得しなければ使用が不可能である。

【0006】図1は、PCIバスの仲裁周期を示すタイミング図として、これに図示したように、バスを用いようとするマスターデバイスは、仲裁要求信号である n_req [1:0]信号(2及び3)をアサートし、仲裁回路においては、この信号を入力して現在仲裁を要請したマスターデバイスに順次的にバスの使用承諾を知らせてくれる、 n_gnt [1:0]信号(4及び5)を与えることによって、許可を要請した信号(n_frame)(6)に対するデバイスについて使用権を付与(7)することになる。許可を得るモジュールは、PCIバスが開放された(free)状態でのみバスを使用

することができ、開放状態の確認は、現在 n_gnt 信号(4及び5)がアサートされているか否かを確認することによって、可能である。

【0007】図2は、既存のPCIバスのアビータ回路図である。

【0008】既存の方式では、各マスターデバイスからの仲裁要求信号を受け、先ず要求したデバイスの信号を選んだ後、このデバイスに対してバス使用要求をラッチする。これは、図1の n_rq 信号(2及び3)をPCIバスクロックに同期させるためである。PCIバスクロック信号(1)で第1のラッチ回路(10)にラッチした後、優先順位デコーダであるプライオリティデコーダ(Priority Decoder)(11)と許可(GNT)デコーダ(12)を用いて、一番高い優先度のバス使用要求デバイスを選定した後、このデバイス信号を再び第2及び第3のラッチ回路(17及び18)にラッチして、バス使用権を承諾する信号である n_gnt 信号(4,5及び14)を出力し、バス使用権を付与するようになっている。このような方式は、PCIバスを最小単位で具現した場合には、効果的ではあるが、特殊な目的で多数個を支援する場合は(例えば、8個以上)、大規模なバスアビータ回路となり、公平性を付与し難くなる。

【0009】この回路では、ラッチ回路が2つ以上(10,13及び17)必要であり、バス使用権を承諾するのに2クロック以上を要するので、バスの使用率を低下させる要因になっている。

【0010】

【発明が解決しようとする課題】従って、本発明は、PCIバスを使用する多数のマスターデバイスを支援すると同時に、バスを用いようとするマスターデバイスの優先順位、公平性を同時に保障し、一回のPCIクロックに同

4

期して動作させることを目的とするものである。

【0011】これによって、バスの効率的な使用を可能にし、PCIバスクロックに同期されて動作することによって、非同期の問題を解決し、公平性を簡単な回路で実現することによって、PCIバス上の低い優先順位を持つマスターデバイスのバス使用の機会均等を同時に具現することが出来るPCI用のバスアビータ回路を提供することにその目的がある。

【0012】

【課題を解決するための手段】上記課題を解決するため、本発明に係るバスアビータ回路は、PCIバスの使用サービスを要請したモジュールの要求信号 n_rq [15:0]を受け入れ、既にサービス受けたモジュールの要求信号 s_rq [15:0]との組合せにより現在サービスを受けていないモジュールの要求信号のみを選択し、選択されたモジュールの要求信号の中の優先順位が一番高いモジュールの要求信号を探し出し出力する要求信号デコーディング手段と、バスの使用承諾を取得したモジュールの動作開始信号であるフレーム信号 n_frame をPCIクロックに同期させ、ワンショット信号1-frameを生じ、このワンショット信号を、上記PCIクロックによってラッチさせ、ラッチされたフレームパルス $frame_s$ により、上記ワンショット信号1-frameをリセットさせるワンショット信号の発生手段と、上記ワンショット信号1-frameに上記要求信号デコーディング手段の最優先順位の要求信号 top_rq [15:0]を同期させてレジスタにラッチさせ、そのラッチされた優先順位の要求信号を、上記既にサービス受けたモジュールの要求信号 s_rq [15:0]としてフィードバックさせ、上記最優先順位の要求信号 top_rq [15:0]と前記サービスを要請したモジュールの要求信号 n_rq [15:0]とを組合せ、サービスの中のモジュールの無いフリーの状態である時、前記レジスタをリセットさせ、新たなサービスの要求を受け入れる準備をするサービス中の要求信号貯蔵部と、前記最優先順位の要求信号 top_rq [15:0]を、前記1-frame信号に同期させて入力し、PCIバスの使用承諾を行う仲裁信号 n_gnt [15:0]として出力し、前記フレーム信号 n_frame によりリセットされる仲裁信号出力手段とから構成されたことを特徴とする。

【0013】又、前記要求信号デコーディング手段は、PCIバスの使用サービスを要請したモジュールの要求信号 n_rq [15:0]と前記サービス中の要求信号貯蔵部から出力される既にサービス受けたモジュールの要求信号 s_rq [15:0]とを各ビット別に論理和させ、バス使用を要求しているモジュールの中の現在サービスを受けていないモジュールのみを探し出す要求信号の選択部と、前記要求信号の選択部から論理和され出力されるサービスしていない要求信号 un_s_rq [15:0]を受け入れ、バスの使用を要求した順序及び既に決められた優先順位に基づいて、優先順位が一番高い要求信号を探し出し、最優先順位の要求信号のみをセッティングさせ出力する優先順位デコ

5

ーダから構成されることを特徴とする。

【0014】又、前記ワンショット信号の発生手段は、PCIバスの使用許可を取得したモジュールの動作開始信号である、前記フレーム信号 n_frame をPCIの全体の同期のためのクロック信号 pci_clock に同期させて入力し、 1_frame 信号として出力する第1のフリップフロップと、その第1のフリップフロップの出力信号 1_frame を、前記クロック信号 pci_clock に同期させてラッチさせる第2のフリップフロップと、前記第2のフリップフロップの出力信号 $frame_s$ と前記第1のフリップフロップの出力信号 1_frame とを前記第1のフリップフロップのリセット信号として印加させるオアゲートで構成し、一回のクロックで全体の回路の同期化を実現することを特徴とする。

【0015】このように本発明は、サービスを要請したモジュールの信号を受け、既にサービスを受けたモジュールを除いた残りの要請モジュールを選択し、前記選択された要請モジュールの中から一番優先順位の高いモジュールを優先順位デコーダから探し出す。この時、使用許可を受けたモジュールの動作開始を知らせる信号であるフレーム信号を用いて、ワンショット信号を生成し、そのワンショット信号に基づいて上記から探し出した優先順位が一番高いモジュールを記憶させ、上記サービスを受けたモジュールを除いた残りの要請モジュールを選択する為の信号としてフィードバックさせ、上記フレーム信号に基づいたワンショット信号を用い、上記優先順位が一番高いモジュールに現在使用中にあるモジュールの動作が終わると同時に使用が開始できるようにバスアビータ信号を出力するように構成することに特徴がある。

【0016】

【発明の実施の形態】図3は、本発明のPCIバス用のバスアビータ回路であり、図示されたように、PCIバスの使用サービスを要請したモジュールの要求信号 $n_rq[15:0]$ を受け入れ、既にサービスを受けたモジュールの要求信号 $s_rq[15:0]$ との組合せによりサービスを受けていないモジュールの要求信号のみを選択し、選択されたモジュールの要求信号の中の優先順位が一番高いモジュールの要求信号を探し出し、セットさせ出力する要求信号デコーディング部(100)と、バスの使用承諾を取得したモジュールの動作開始信号であるフレーム信号 n_frame をPCIクロックに同期させ、ワンショット信号 1_frame を生成し、このワンショット信号を、上記PCIクロックによってラッチさせ、ラッチされたフレームパルス $frame_s$ により、上記ワンショット信号 1_frame をリセットさせるワンショット信号の発生部(200)と、上記ワンショット信号 1_frame に上記要求信号デコーディング手段の最優先順位の要求信号 $top_rq[15:0]$ を同期させラッチさせ、そのラッチされた優先順位の要求信号を、上記既にサービスを受けたモジュールの要求信号 $s_rq[15:0]$ としてフィ

6

ードバックさせ、上記最優先順位の要求信号 $top_rq[15:0]$ と前記サービスを要請したモジュールの要求信号 $n_rq[15:0]$ を組合せ、サービス中のモジュールの無いフリーの状態である時、前記ラッチをリセットさせ、新たなサービスの要求を受け入れる準備をするサービス中の要求信号の貯蔵部(300)と、前記最優先順位の要求信号 $top_rq[15:0]$ を、前記 1_frame 信号に同期させて入力し、PCIバスの使用承諾を行う仲裁信号 $n_gnt[15:0]$ として出力し、前記フレーム信号 n_frame によりリセットされる仲裁信号出力部(400)とから構成される。

【0017】前記要求信号のデコーディング部(100)

は、PCIバスの使用サービスを要請したモジュールの要求信号 $n_rq[15:0]$ と前記サービス中の要求信号の貯蔵手段(300)から出力される既にサービスを受けたモジュールの要求信号 $s_rq[15:0]$ とを入力し、各ビット別に論理和させ、バス使用を要求しているモジュールの中の現在サービスを受けていないモジュールのみを探し出す要求信号の選択部(23)と、その要求信号の選択部(23)から論理和され出力されるサービスしていない要求信号 $un_s_rq[15:0]$ を受け入れ、バスの使用を要求した順序及び既に決められた優先順位に基づいて、優先順位が一番高い要求信号を探し出し、最優先順位の要求信号のみをセッティングさせ出力する優先順位デコーダ(25)から構成される。

【0018】ここで、前記要求信号の選択部(23)は、各マスターデバイスのバス使用要請信号(22)を受け、既にサービスされたマスターデバイスからの要請であるか否かを判定する回路として、 $s_rq[15:0]$ 信号(21)と $n_rq[15:0]$ 信号(22)のアンド(AND)アレイ回路で構成されている。

【0019】かつ、前記ワンショット信号の発生部(200)は、PCIバスの使用許可を取得したモジュールの動作開始信号である、前記フレーム信号 n_frame をPCIの全体の同期のためのクロック信号 pci_clock に同期させて入力させ、 1_frame 信号として出力する第1のフリップフロップ(32)と、その第1のフリップフロップ(32)の出力信号 1_frame を、前記クロック信号 pci_clock に同期させて入力させ、ラッチさせる第2のフリップフロップ(34)と、その第2のフリップフロップ(34)の出力信号 $frame_s$ と前記第1のフリップフロップの出力信号 1_frame を、前記第1のフリップフロップ(32)のリセット信号として印加させるオアゲートで構成し、一回のクロックで全体の回路の同期化を実現させることができるように構成される。

【0020】ここで、ワンショット発生部(200)は、本発明のバスアビータ回路全体を同期化し、状態変換開始点を探し出すための信号である $frame_s$ 信号(35)を生成する部分で、バス使用権を取得したモジュールがバス使用を開始することを知らせる信号である n_frame 信号(30)を、PCIバスクロック(31)に同期させワンショット信

号(33,35)を発生するようにし、この信号を用いて新たなバス仲裁結果をラッチするようにしている。これは、PCIバスが使用中であるか否かを確認するための信号にも用いられる。PCIバスのクロック(31)で最初ラッチされた信号は、1_frame信号(33)であり、この信号を用いて再びframe_s信号(35)を生成し、frame_s信号(35)がラッチされると、この信号を用いて1_frame信号(33)をクリアさせることによって、PCIバス上にn_frame信号(30)がアサートされると、1クロック周期のパルス状態の信号に変換される。

【0021】前記優先順位信号の貯蔵部(300)は、現在サービスされず、且つ、現在バス使用を要求しているマスターデバイスの中の一番優先順位の高いモジュールを探し出すための回路である優先順位デコーダ(25)の出力信号(26)を用い、バス使用权をPCIバスに伝達し、サービスすべきマスターデバイスを書き込むサービス要請(serviced RQ)信号の記憶回路である。貯蔵部(300)のレジスタ(27)にラッチされたマスターデバイスは、フリー状態の検出部(37)の出力が、現在サービスしていないマ *

```
!un_s_rq[15] * = !n_rq[15] * < !s_rq[15]  --- 式(1)
!un_s_rq[14]  = !n_rq[14]  < !s_rq[14]
!un_s_rq[13]  = !n_rq[13]  < !s_rq[13]
!un_s_rq[12]  = !n_rq[12]  < !s_rq[12]
!un_s_rq[11]  = !n_rq[11]  < !s_rq[11]
!un_s_rq[10]  = !n_rq[10]  < !s_rq[10]
!un_s_rq[9]   = !n_rq[9]   < !s_rq[9]
!un_s_rq[8]   = !n_rq[8]   < !s_rq[8]
!un_s_rq[7]   = !n_rq[7]   < !s_rq[7]
!un_s_rq[6]   = !n_rq[6]   < !s_rq[6]
!un_s_rq[5]   = !n_rq[5]   < !s_rq[5]
!un_s_rq[4]   = !n_rq[4]   < !s_rq[4]
!un_s_rq[3]   = !n_rq[3]   < !s_rq[3]
!un_s_rq[2]   = !n_rq[2]   < !s_rq[2]
!un_s_rq[1]   = !n_rq[1]   < !s_rq[1]
!un_s_rq[0]   = !n_rq[0]   < !s_rq[0]
```

上記の式(1)で、un_s_rq[15:0]信号(24)は、まだサービスしていない状態を示し、n_rq[15:0]信号(22)は、PCIバス上においての要請信号であり、s_rq[15:0]信号(21)は、その値が1である場合、既にサービスを要請したものであるを示す。n_rq[15:0]信号(22)とs_rq[15:0]信号(21)をアンド(AND)回路(23)としてun_s_rq[15:0]信号(24)を導出することは、s_rq[15:0]信号(21)が既に同期された信号として、n_rq[15:0]信号(22)の非同期信号を同期化し、既存方式で2段のラッチを

*スターデバイスが無いことを表示する信号であるno_top_rq信号(29)によって、全部クリアされ、新たなサービス提供のマスターデバイスを探すように構成されている。

【0022】一方、本発明の構成の各信号は、16ビット[15:0]信号として、これらをそれぞれビット別に処理するアレイで構成されるが、図面では、便宜上、1つの素子のみを表示し、入/出力信号を[15:0]で表示した。

【0023】このように、構成された本発明の各部分別に詳しい動作を記述すれば、次のようである。

【0024】現在バス使用を要求する信号であるn_rq[15:0]信号(22)を受け、この信号を元にして既にサービスしたマスターデバイスからの要請であるか否かを確認するため、次の式(1)のような回路を通過させ、un_s_rq[15:0]信号(24)を生じさせる。この信号は、既にサービスされてなく、サービスを要請したマスターデバイスからの要求であることを示すのに、次のような式(1)を有する回路で具現される。

用いることによるクロックの無駄使いを防止することにある。

【0025】このun_s_rq[15:0]信号が、プライオリティデコーダ(Priority Decoder)(25)に入力され、一番優先順位の高いバス使用要求モジュールを探し出すために用いられる。前記プライオリティデコーダ(Priority Decoder)(25)は、一番高い優先順位を探し出すため、次の式(2)を有する回路から構成されている。

```
IF( !un_s_rq[15]) then top_rq[15..0] = B0111111111111111--(式2)
else if(!un_s_rq[14]) then top_rq[15..0] = B1101111111111111
else if(!un_s_rq[13]) then top_rq[15..0] = B1110111111111111
else if(!un_s_rq[12]) then top_rq[15..0] = B1111011111111111
else if(!un_s_rq[11]) then top_rq[15..0] = B1111101111111111
else if(!un_s_rq[10]) then top_rq[15..0] = B1111110111111111
```

```

else if(!un_s_rq[9] ) then top_rq[15..0] = B1111110111111111
else if(!un_s_rq[8] ) then top_rq[15..0] = B1111111011111111
else if(!un_s_rq[7] ) then top_rq[15..0] = B1111111101111111
else if(!un_s_rq[6] ) then top_rq[15..0] = B1111111110111111
else if(!un_s_rq[5] ) then top_rq[15..0] = B1111111111011111
else if(!un_s_rq[4] ) then top_rq[15..0] = B1111111111101111
else if(!un_s_rq[3] ) then top_rq[15..0] = B1111111111110111
else if(!un_s_rq[2] ) then top_rq[15..0] = B1111111111111011
else if(!un_s_rq[1] ) then top_rq[15..0] = B1111111111111101
else if(!un_s_rq[0] ) then top_rq[15..0] = B1111111111111110
end if

```

top_rq[15..0] 信号 (28) は、フリップフロップ (36) にラッチクロックを用いてラッチされる。ラッチされた信号は、その通り出力に連結されバスの使用許可信号である n_gnt 信号 (38) として出力される。n_gnt[15..0] 信号 (38) は、top_rq[15..0] 信号 (28) がその通り出力され、現在要求したモジュールが一つも無い場合は、n_gnt[15..0] 信号 (38) が、B0111111111111111 になり、優先順位が一番高いモジュールとして常に使用権を持っている状態にする。これは、PCI バス規格に明記された信号の形態である。

【0026】現在サービスしているバス使用権の状態を、PCI バスの n_frame 信号 (30) のワンステップパルス (one step pulse) である frame_s 信号 (35) を用いて、top_rq[15..0] 信号 (26) を s_rq[15..0] 信号 (21) の入力として、一回のサービスを受けた要請器からの n_rq 信号 (22) は、使用許可を受けたモジュールが、n_frame 信号 (30) を生じさせることによりバスの動作が始まったので、このマスターデバイスは、既にサービスを受けたという事実をサービス中の要請信号を貯蔵するレジスタ (27) に蓄える。この s_rq 信号 (21) が、1 でセットされることによって、新たなバス使用要請を探し出す式である、式 (1) を通過することが出来なく、低い順位のバス使用要請モジュールが、バス使用権を取得させることにより公平性を付与する。

【0027】このように、s_rq[15..0] 信号 (21) は、前述したように、n_rq[15..0] 信号 (22) とアンド (AND) 回路で組み合わせられ、既にサービスを受けたモジュール *

*は、これ以上下位の要請モジュールが、全てサービスを受ける前までには、新たな要請を受け入れないことによって、公平性を保障してくれる。そして、バス使用に対する使用承諾は、PCI バス上の frame 信号 (30) が、デリアサート (deassert) されると、すぐ次の順位のバス使用要請マスターデバイスに使用許可を知らせることができる。使用許可を前以って受けても、PCI バス使用規格に応じて IRDY 信号と TRDY 信号を受ける前には、バスを用いることができない。

【0028】このような期間を用いて、次に使用権限が与えられたことを知っているマスターデバイスは、次のバス使用に応じる動作準備を前以って内部的に遂行することによって高速化された、PCI バス使用環境を提供することになる。フリー状態の検出部 (37) は、現在バス使用の要請があるか否かを判断し、現在使用要請のあることを知らせる信号である、no_top_rq 信号 (29) を生成する。若し、値が 1 であれば、サービス受けていないマスターデバイスがこれ以上無いことを示す。

【0029】この信号は、レジスタ (27) のリセット (Reset) 端子 (r) に入力され、s_rq 信号 (21) の内容を全てクリアさせることによって、新たなバス使用仲裁を始めることにより再び一番高い順位のマスターデバイスからバス使用権を付与することになる。no_top_rq 信号 (29) の生成は、次の式 (3) を有する回路として構成される。

【0030】

```

no_top_rq = un_s_rq[15] < un_s_rq[14] < --- 式 (3)
              un_s_rq[13] < un_s_rq[12] <
              un_s_rq[11] < un_s_rq[10] <
              un_s_rq[9]  < un_s_rq[8]  <
              un_s_rq[7]  < un_s_rq[6]  <
              un_s_rq[5]  < un_s_rq[4]  <
              un_s_rq[3]  < un_s_rq[2]  <
              un_s_rq[1]  < un_s_rq[0]  <

```

である。

従って、本発明は、使用バス同期化に係る周期を最小化し、仲裁の結果をすぐにバスで用いられるようにし、全体回路の構成に必要なロジックの数が最小化できるようにすることによって、FPGA や ASIC への具現を容易にし

た。

【0031】

【発明の効果】上述したように、本発明によれば、PCI バス上のモジュールとして、高速の動作が可能であり、

同時に最小の回路でPCIバス上の多くのマスターデバイスを支援できるようにすることによって、PCIバスの仲裁回路を簡略化することができ、基本的に1クロックのラッチのみでバスの同期化が実現でき、同時に公平性と優先順位を満たすことによって、仲裁回路に追加的な付加回路を用いなくとも、容易に具現できるものである。

【図面の簡単な説明】

【図1】PCIバスの仲裁周期を示したタイミング図である。

【図2】従来の周辺素子連結(PCI)バスの仲裁回路図である。

【図3】本発明の周辺素子連結(PCI)バスの仲裁回路図である。

【符号の説明】

23 要求信号の選択部

25 優先順位デコーダ

27 サービス中の要求信号貯蔵用レジスタ

32, 34 フリップフロップ

36 仲裁信号出力用フリップフロップ

37 バスのフリー状態検出部

100 要求信号デコーディング部

200 ワンショット信号の発生部

300 サービス中の要求信号貯蔵部

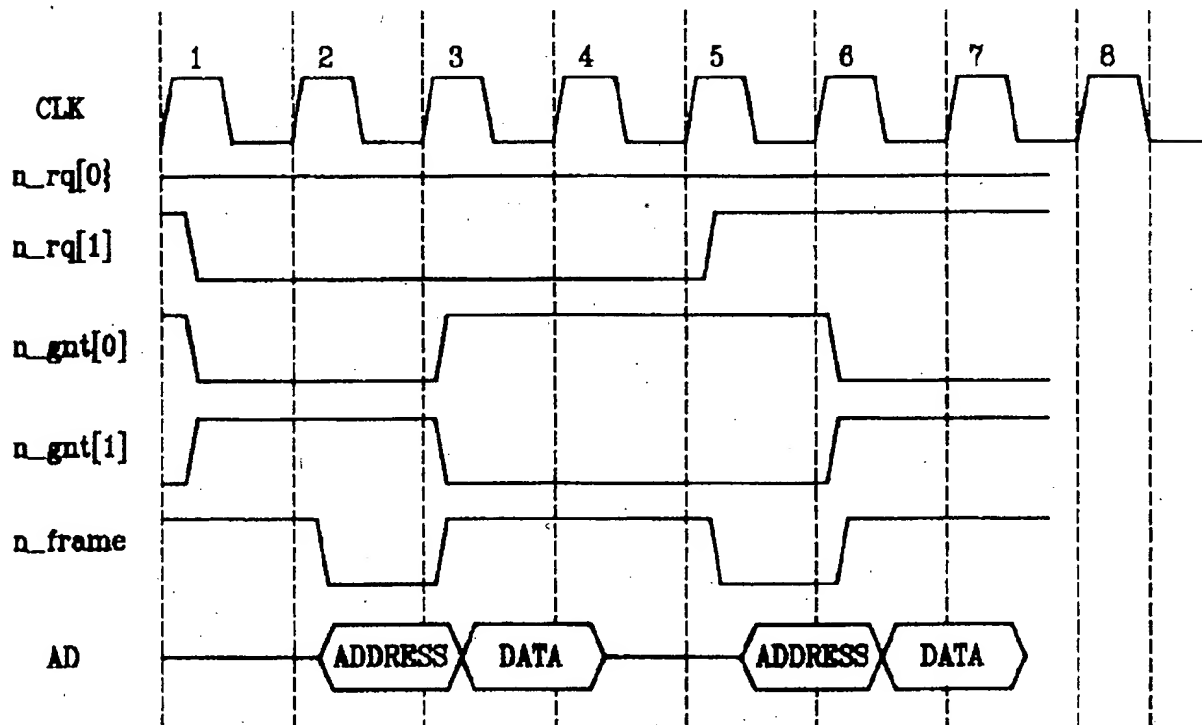
400 仲裁信号出力部

AND エンドゲート

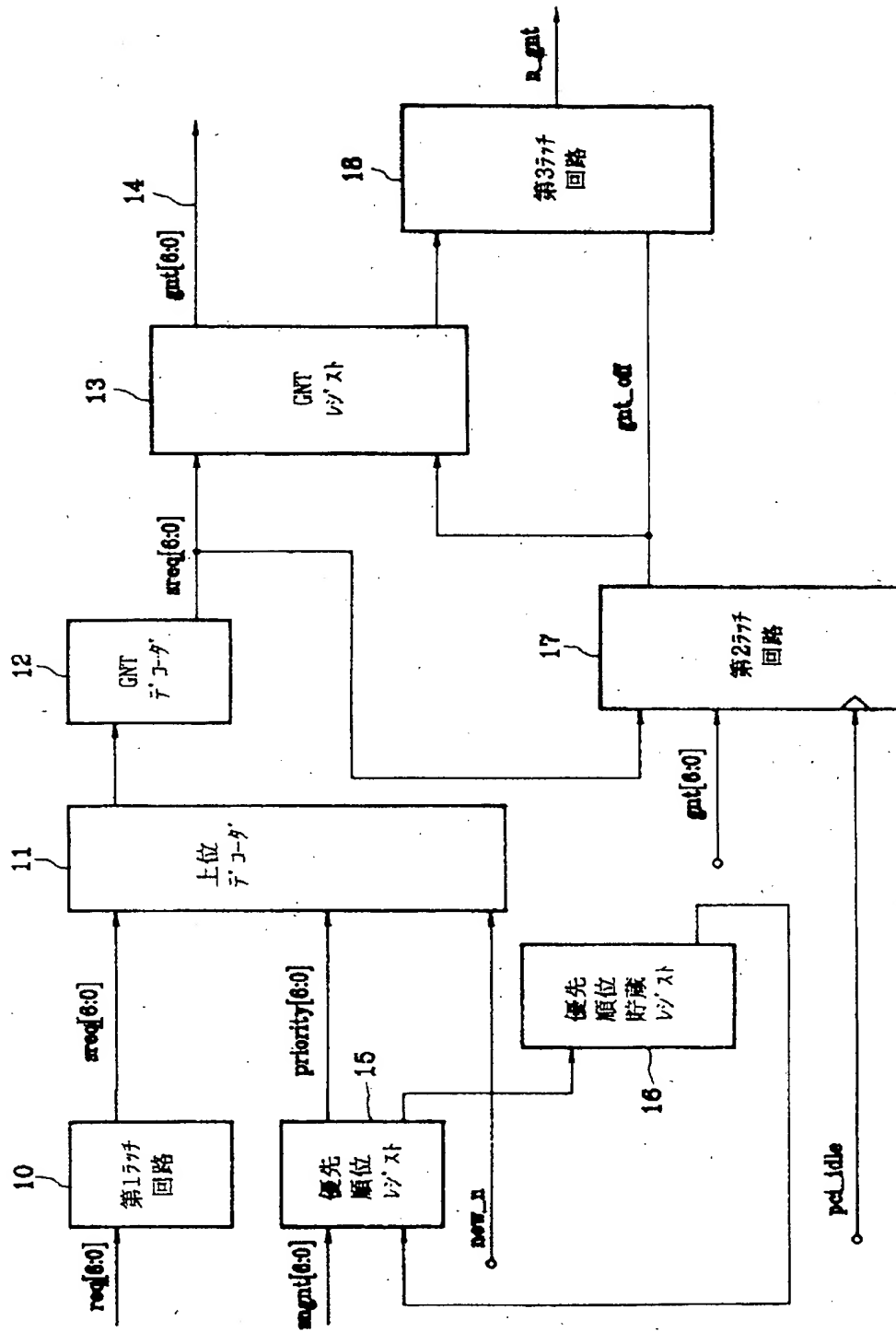
OR オアゲート

IN 反転ゲート

【図1】



【図2】



【図 3】

